**【3.1 存储系统概述】**

**(67)．存储单元是指( )。**

**A．存放一个字节的所有存储元集合 B．存放一个存储字的所有存储元集合**

**C．存放一个二进制信息位的存储元集合 D．存放一条指令的存储元集合。**

**(24) 某计算机存储器按字节编址，主存地址空间大小为64MB，现用4M×8位的RAM芯片组成32MB的主存储器，则存储器地址寄存器MAR的位数至少是（ ）。**

**A．22位 B．26位 C．25位 D．23位**

**(43)计算机的存储器采用分级方式是为了( )。**

**A. 减少主机箱的体积 B. 保存大量数据方便**

**C. 操作方便 D. 解决CPU和内存之间的速度匹配问题**

**(44)计算机的存储器采用分级方式是为了( )。**

**A、方便编程    B、解决容量、速度、价格三者之间的矛盾**

**C、保存大量数据方便    D、操作方便**

**(45)主存储器是计算机系统的记忆设备，它主要用来( ).**

**A. 存放数据 B. 存放程序 C. 存放数据和程序 D. 存放微程序**

**(62)** **设机器数字长为32位，一个容量为16MB的存储器，CPU按半字寻址，其寻址范围是（ ）。**

**A．224  B．223 C．222  D．221。**

**(66)某计算机字长是32位，存储器容量是256KB，按字编址，它的寻址范围是（ ）。**

**A.128K B.64K C. 64KB**

**(68) 某计算机字长是16位，它的存储容量是1MB，按字编址，它的寻址范围是( )。**

**A．512K； B．1M； C．512KB； D．1MB**

**3.** **存储器的层次结构主要体现在什么地方？为什么要分这些层次？计算机如何管理这些层次？**

**答：**

**5.程序访问的局部性原理中的时间局部性和空间局部性？**

**答：**

**6.** **什么是高速缓冲存储器？ 它与主存是什么关系？ 其基本工作过程如何？**

**答：**

**【3.2 静态随机存取存储器SRAM】**

**(65) 一个16K×32位的存储器，其地址线和数据线的总和是 ( ) 。**

**A．48； B．46； C．36； D．32．**

**(120) 若某存储器容量为32K×16位，则（ ）。**

**A．地址线为16根，数据线为32根**

**B. 地址线为32根，数据线为16根**

**C. 地址线为15根，数据线为16根**

**(143)若片选地址为111时，选定某一32K×16的存储芯片工作，则该芯片在存储器中的首地址和末地址分别为（ ）。**

**A、00000H，01000H    B、38000H，3FFFFH**

**C、3800H，3FFFH    D、0000H，0100H**

**3、已知某8位机的主存采用半导体存贮器，地址码为18位，若使用4K×4位RAM芯片组成该机所允许的最大主存空间，并选用模块条的形式，问：**

**（1）若每个模条为32K×8位，共需几个模块条？**

**（2）每个模块内共有多少片RAM芯片？**

**（3）主存共需多少RAM芯片？CPU如何选择各模块条？**

**解答：**

**4、设有利用若干片256K×8位SRAM芯片构成2048K×32位的存储器,问：  
(1) 需要多少片RAM芯片？  
(2) 该存储器需要多少字节地址位？  
(3) 如何构成2048K×32位的存储器？画出该存储器与CPU连接的结构图，设CPU的接口信号有地址信号、数据信号、控制信号MREQ#和R/W#。**

**解答：**

**【3.3 动态随机存取存储器DRAM】**

**16）动态RAM和静态RAM都是易失性半导体存储器。（ ）**

**17）因为动态存储器是破坏性读出，所以必须不断刷新。（ ）**

**54）半导体RAM是易失性RAM，而静态RAM只有在电源不掉电时，所存信息是不易失的。 （ ）**

**(112)动态RAM比起静态RAM的主要优点是( )。**

**A.速度快 B. 数据不易丢失 C. 存储密度高 D. 控制简单**

**(132) 某容量为256M的存储器有若干4M ×8位的DRAM 芯片构成，该DRAM芯片的地址引脚和数据引脚总数是（ ）**

**A.** **22 B.** **30 C.** **36 D. 19**

**(133)某存储器容量为64KB,按字节编址，地址4000H~5FFFH为ROM区，其余为RAM区 ，若采用8K ×4位的SRAM芯片进行设计，则需要该芯片的数量为（ ）**

**A.** **7 B.** **8 C.** **14 D. 16**

**(140) 假定用若干个2K×4位芯片组成一个8K×8位存储器，则地址0B1FH所在芯片的最小地址是（ ）**

**A.** **0000H B. 0600H C.** **0700H D. 0800H**

**7.** **为什么每出现新一代存储器芯片，容量至少提高到4倍？**

**答：**

**6、设CPU共有16根地址线，8根数据线，并用（低电平有效）作访存控制信号，作读写命令信号（高电平为读，低电平为写）。系统程序区：0000H-0FFFH，用户程序区：1000H-3FFFH，现有下列存储芯片：ROM（2K×8位，4K×4位，8K×8位），RAM（1K×4位，2K×8位，4K×8位），及74138译码器和其他门电路（门电路自定）。试从上述规格中选用合适芯片，画出CPU和存储芯片的连接图。要求：**

**（1）指出选用的存储芯片类型及数量。**

**（2）详细画出片选逻辑。**

**解答：**

**【3.4 只读存储器】**

**18）一般情况下，ROM和RAM在存储体中是统一编址的。（ ）**

**(137)某计算机主存容量为64KB，其中ROM 区为4KB ，其余为RAM 区，按字节编址。现要用2K×8 位的ROM 芯片和4K×4 位的RAM 芯片来设计该存储器，则需要上述规格的ROM 芯片数和RAM 芯片数分别是（ ）**

**A.** **1、15 B.** **2、15 C.** **1、30 D. 2 、30**

**5、某计算机的主存地址空间中，从地址0000H到3FFFH为ROM存储区域，从4000H到5FFFH为保留地址区域，暂时不用，从6000H到FFFFH为RAM地址区域。RAM的控制信号为CS#和WE#，CPU的地址线为A15~A0，数据线为8位的线路D7~D0，控制信号有读写控制R/W#和访存请求MREQ#。  
 (1) 画出地址译码方案  
 (2) 如果ROM和RAM存储器芯片都采用8K×1的芯片，试画出存储器与CPU的连接图。**

**解:**

**【3.5 并行存储器】**

**3）多体交叉存储器主要解决扩充容量问题。 （ ）**

**5）多体交叉存储器主要解决提高主存储器数据传输率。 （ ）**

**(75) 已知单个存储体的存储周期为110ns，总线传输周期为10ns，则当采用低位交叉编址的多模块存储器时，存储体数应（ ）。**

**A、小于11    B、等于11    C、大于11    D、大于或等于11**

**(135)某计算机主存按字节编址，由4个64M ×8位的DRAM芯片采用交叉编址方式构成，并与宽度为32位的存储总线相连，主存每次最多读写32位数据。若double 型变量x 的主存地址为 804001BH,则读取 x 需要的存储周期数是（ ）**

**A.** **1 B.** **2 C.** **3 D. 4**

**42. 假定一个存储器系统支持四体交叉存取，某程序执行过程中访问地址序列为3,9,17,2,51,37,13,4,8,41,67,10，哪些地址访问会发生体冲突？**

**解答：**

**【3.6 Cache存储器】**

**1）Cache是内存的一部分，可由指令直接访问。 （ ）**

**6）Cache功能全由硬件实现。 （ ）**

**7）Cache中的内容应与主存储器的相应单元内容保持一致。 （ ）**

**(21) 在Cache的映射方式中不需要替换策略的是（ ）。**

**A. 全相联映射方式 B. 直接映射方式 C. 组相联映射方式**

**(52)** **主存贮器和CPU之间增加Cache的目的是( )。**

**A.解决CPU和主存之间的速度匹配问题**

**B.扩大主存贮器容量**

**C.扩大CPU中通用寄存器的数量**

**D. 既扩大主存贮器容量，又扩大CPU中通用寄存器的数量**

**(69) 主存和CPU之间增加Cache目的是( )。**

**A．解决CPU和主存之间的速度匹配问题； B．扩大主存容量；**

**C．既扩大主存容量，又提高了存取速度； D．扩大辅存容量。**

**(70) Cache地址映象中，若主存中任一块均可映射到Cache内任一块位置上，称作( )。**

**A．直接映象； B．全相联映象； C．组相联映象。**

**(139) 假设某计算机的存储系统由chache和主存组成。某程序执行过程中访存1000次，其中访问chache缺失50次，则chache的命中率是 （ ）**

**A.** **5% B. 9.5% C.** **50% D. 95%**

**(144)有效容量为128KB的Cache，每块16字节，采用8路组相联，字节地址为1234567H的单元调入该Cache，则其Tag应为（ ）。**

**A、1234H    B、2468H    C、048DH    D、12345H**

**(145)某存储系统中，主存容量是Cache容量的4096倍，Cache被分为64个块，当主存地址和Cache地址采用直接映射方式时，地址映射表的大小就为（ ）。（假设不考虑一致维护和替换算法位）**

**A、6×4097bit    B、64×12bit C、6×4096bit    D、64×13bit**

**(122) 在下列因素中，与Cache命中率无关的是（ ）。**

**A．Cache块的大小 B. Cache的容量 C. 主存的存取时间**

**(124)在程序的执行过程中，Cache与主存的地址映象是由( )。**

**A．程序员调度的； B．操作系统管理的；**

**C．由程序员和操作系统共同协调完成的； D．硬件自动完成的。**

**(136)某计算机的Cache共有16块，采用2路组相联映射方式。每个主存块大小为32字节，按字节编址。主存129号单元所在主存块应装入到Cache组号是（ ）**

**A.** **0 B.** **2 C.** **4 D. 6**

**(147) 在Cache中，常用的替换策略有随机法(RAND)、先进先出法(FIFO)、近期最少使用法(LRU),其中与局部性原理有关的是( )**

**A. 随机法(RAND) B. 先进先出法(FIFO)**

**C. 近期最少使用法(LRU) D. 都不是**

**(148) 某32位计算机的Cache容量为16KB,Cache行的大小为16B,若主存与Cache地址映象采用直接映象方式，则主存地址为0x1234E8F8单元装入Cache的地址是( )**

**A. 00010001001101 B. 01000100011010**

**C. 10100011111000 D. 11010011101000**

**(149) 在高速缓存系统中，主存容量为12MB，Cache400KB,则该存储器系统的容量为( )**

**A. 12MB+400KB B. 12MB - 400KB**

**C. 12MB D. 12MB + (12MB + 400KB)**

**8.Cache地址映象方法有哪几种？它们各有什么优缺点？**

**答：**

**34.** **你对Cache存储器的速度不满意，于是申请到一批有限的经费，为能发挥其最大经济效益，有人建议你再买一些同样速度的Cache片子以扩充其容量;而另有人建议你干脆去买更高速的Cache片子将现有的低速Cache片子全部换掉。你认为哪种建议可取？你如何做决定？为什么？**

**答：**

**11、假设某机器的 Cache 为空，Cache有4个块，采用全相联映射，CPU访问主存顺序如下表所示，求分别采用FIFO和LRU算法的命中率并给出Cache块的变化过程。**

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **序号** | **1** | **2** | **3** | **4** | **5** | **6** | **7** | **8** | **9** | **10** | **11** | **12** | **13** | **14** | **15** |
| **主存地址页** | **2** | **3** | **1** | **2** | **5** | **2** | **0** | **1** | **2** | **7** | **1** | **2** | **5** | **2** | **5** |

**解:**

**12**、**主存容量1MB，划分为2048块，每字块512 B。Cache容量为8KB。若访主存地址为123B5H，**

**（1）采用直接映像,问Cache地址？主存的第几块映射到Cache的第1块？**

**（2）若Cache 采用4路组相联，问Cache 地址？**

**解:**

**13、某计算机的Cache 采用4路组相联映像，Cache容量为8KB, 主存容量为16MB，每个字块有8个字，每个字有32位.问：**

**(1)主存地址多少位(按字节编址)，各字段如何划分？**

**(2) 设Cache初始为空，CPU依次从主存第0,1,2，…,99号单元读出100个字( 主存一次读1个字)，并重复此次序读10次，问命中率是多少？**

**(3)若Cache的速度是主存速度的5倍，有Cache访存速度是无Cache多少倍？**

**解答：**

**14、某机器字长32位，具有16KB的直接映射Cache，该Cache块大小为4个字，问主存地址为: ABCDE8F8H的单元在 Cache中的什么位置？**

**解答：**

**15、某机主存容量1MB，字长1B，块大小16B，Cache容量64KB，若Cache采用直接映射方式，请给出2个不同标记的内存地址，它们映射到同一个Cache行。**

**解答：**

**16. 一个组相连映射的CACHE由64块组成，每组内包含4块。主存包含4096块，每块由128字组成，访存地址为字地址。试问主存和高速存储器的地址各为几位？画出主存地址格式。**

**解答：**

**17. 设主存容量为1MB，采用直接映射方式的Cache容量为16KB，块长为4字，每字32位。试问主存地址为ABCDEH的存储单元在Cache中的什么位置？**

**解答：**

**18**. **设主存容量为256K字，**Cache**容量为**2K**字，块长为**4**字。**

**（1）设计**Cache**地址格式，**Cache**中可装入多少块数据？**

**（2）在直接映射方式下，设计主存地址格式。**

**（3）在四路组相联映射方式下，设计主存地址格式。**

**（4）在全相联映射方式下，设计主存地址格式。**

**解答：**

**36.设主存容量为1MB，Cache容量为16KB，块大小为512B，采用直接地址映象方式。**

**(1)写出Cache地址形式。 (2)写出主存地址格式。 (3)设块标记为6位，块表容量为多大？**

**(4)主存地址为CDE8FH的单元在Cache中的什么位置?**

**解答：**

**40.有一 Cache系统，字长为16位，主存容量为16字×256块，Cache容量为16字×8块,采用全相联映射。**

**(1)主存和Cache容量各位多少字节？主存和 Cache的字地址各为多少？**

**(2)若原先已经依次装入了5块信息，问字地址338H所在的主存块将装入Cache 块的块号和在Cache中的字地址是多少？**

**(3)若块表中地址为1的行中标记着36H的主存块号标志，Cache 块号为5H，则在CPU送来主存的字地址为368H时是否命中？若命中，此时Cache的字地址为多少？**

**解答：**

**【3.7 虚拟存储器】**

**2）引入虚拟存储器系统的目的是为了加快外存的存取速度。 （ ）**

**22）引入虚拟存储系统的目的是提高存储速度。（ ）**

**55）虚存中每次访问一个虚拟地址，至少要访问两次主存。（ ）**

**(63)** **在虚拟存贮器中，当程序正在执行时，由( )完成地址映射。**

**A. 程序员 B. 编译器 C.装入程序 D. 操作系统**

**(64) 常用的虚拟存储器寻址系统由( )两级存储器组成。**

**A．Cache－主存； B主存－辅存； C．Cache－辅存；D．主存—硬盘**

**(110) 常用的虚拟存贮系统由( )两级存贮器组成，其中辅存是大容量的磁表面存贮器。**

**A.主存-辅存 B.快存-主存 C.快存-辅存 D.通用寄存器-主存**

**(125)虚拟存贮器常用地址映象方式是( )。**

**A. 组相联 B. 全相联 C. 直接映象 D. 相联**

**(71)采用虚拟存储器的主要目的是( )**

**A.提高主存储器的存取速度 B.扩大主存储器的存储空间**

**C.提高外存储器的存取速度 D.扩大外存储器的存储空间**

**(72) 虚拟段页式存储管理方案的特性为( ) 。**

**A.空间浪费大、存储共享不易、存储保护容易、不能动态连接。**

**B.空间浪费小、存储共享容易、存储保护不易、不能动态连接。**

**C.空间浪费大、存储共享不易、存储保护容易、能动态连接。**

**D.空间浪费小、存储共享容易、存储保护容易、能动态连接。**

**(73) 下述有关存储器的描述中，正确的是( ) 。**

**A. 多级存储体系由Cache、主存和虚拟存储器构成。**

**B. 存储保护的目的是：在多用户环境中，既要防止一个用户程序出错而破坏系统软件或其它用户程序，又要防止用户访问不是分配给他的主存区，以达到数据安全与保密的要求。**

**C. 在虚拟存储器中，外存和主存以相同的方式工作，因此允许程序员用比主存空间大得多的外存空间编程。**

**D. Cache和虚拟存储器这两种存储器管理策略只有Cache利用了程序的局部性原理。**

**(74)下列说法正确的是( ) 。**

**A.多体交叉存储器主要解决扩充容量问题**

**B.Cache 与主存统一编址，Cache 的地址空间是主存空间的一部分**

**C.主存都是由易失性的随机读写存储器构成**

**D.Cache 的功能全部由硬件完成**

**(142)某主存地址空间大小为 256 MB，按字节编址。虚拟地址空间大小为 4 GB，采用页式管理，页面大小为 4KB，TLB（快表）采用全相联映射，有 4 个页表项，内容如下表所示。**

|  |  |  |  |
| --- | --- | --- | --- |
| **有效位** | **标记** | **页框号** | **……** |
| **0** | **FF180H** | **0002H** | **……** |
| **1** | **3FFF1H** | **0035H** | **……** |
| **0** | **02FF3H** | **0351H** | **……** |
| **1** | **03FFFH** | **0153H** | **……** |

**则对虚拟地址 03FF F180H 进行虚实地址变换的结果是（ ）**

**A. 015 3180H B. 003 5180H C. TLB 缺失 D. 缺页**

**(150) 设有8页的逻辑空间，每页有1024B,它们被映射到32块的物理存储区中，则按字节编址逻辑地址的有效位是( ),物理地址至少是（ ）位**

**A. 10，12 B. 10,15 C. 13，15 D.13,12**

**9. 段式虚拟存储器对程序员是否透明？请说明原因。**

**答：**

**10. 在一个进程的执行过程中，是否其所有页面都必须处在主存中？**

**答：**

**11. 在虚存实现过程中，有些页面会在内存与外存之间被频繁地换入换出，使系统效率急剧下降。这种现象称为颠簸（或叫抖动）。请解释产生颠簸的原因，并说明防止颠簸的办法？**

**答：**

**12. 为什么在页式虚拟存储器地址变换时可以用物理页号与页内偏移量直接拼接成物理地址，而在段式虚拟存储器地址变换时必须用段起址与段内偏移量相加才能得到物理地址？**

**答：**

**35.** **为什么段式虚拟存储系统比页式虚拟存储系统更容易实现信息共享和保护？**

**答：**

**10、某程序对页面要去的序列为：3,4,2,4,4,3,6,4,3,6,3,4,5,4,6,设主存页面容量为3个页面，求LRU替换算法的命中率（假设开始时主存为空）。**

**解答：**

**30.在一个分页虚存系统中，用户虚地址空间为32页，页长1KB，主存物理为16KB。已知用户程序有10页长，若虚页0、1、2、3已经被调入到主存8、7、4、10页中请问虚地址0AC5和1AC5(十六进制)对应的物理地址是多少？**

**解答：**

**32．在虚拟存储器中，若主存容量为4MB，页面容量为4 KB,程序地址空间为1GB.**

**(1)写出主存地址格式。(2)写出虚拟地址格式。(3)页表长度为多少？**

**解答：**

**35**．**某计算机存储器按字节编址，虚拟（逻辑）地址空间大小为16MB，主存（物理）地址空间大小为1MB，页面大小为4KB；Cache采用直接映射方式，共8行；主存与 Cache之间交换的块大小为 32B。系统运行到某一时刻时，页表的部分内容和Cache的部分内容分别如a图、b图所示，图中页框号及标记字段的内容为十六进形式。**

|  |  |  |  |
| --- | --- | --- | --- |
| **行号** | **有效位** | **标记** | **……** |
| **0** | **1** | **020** | **……** |
| **1** | **0** | **－** | **……** |
| **2** | **1** | **01D** | **……** |
| **3** | **1** | **105** | **……** |
| **4** | **1** | **064** | **……** |
| **5** | **1** | **14D** | **……** |
| **6** | **0** | **－** | **……** |
| **7** | **1** | **27A** | **……** |

**b图 Cache的部分内容**

|  |  |  |  |
| --- | --- | --- | --- |
| **虚页号** | **有效位** | **页框号** | **……** |
| **0** | **1** | **06** | **……** |
| **1** | **1** | **04** | **……** |
| **2** | **1** | **15** | **……** |
| **3** | **1** | **02** | **……** |
| **4** | **0** | **－** | **……** |
| **5** | **1** | **2B** | **……** |
| **6** | **0** | **－** | **……** |
| **7** | **1** | **32** | **……** |

**a图 页表的部分内容**

**请回答下列问题。**

**（1）虚拟地址共有几位，哪几位表示页号？物理地址共有几位，哪几位表示页框号（物理页号）？**

**（2）使用物理地址访问Cache时，物理地址应划分成哪几个字段？要求说明每个字段的位数及在物理地址中的位置。**

**（3）虚拟地址001C60H所在的页面是否在主存中？若在主存中，则该虚拟地址对应的物理地址是什么？访问该地址时是否 Cache 命中？要求说明理由。**

**解答：**

**37**．**某计算机的主存地址空间大小为256MB,按字节编址。指令Cache和数据Cache分离，均有8个Cache 行，每行大小为64B,数据 Cache 采用直接映射方式。现有两个功能相同的程序A和程序B,其C伪代码如下：**

**程序B:**

**int a[256][256];**

**……**

**int sum\_array2( )**

**{**

**int i,j,sum=0;**

**for(j=0;j<256;j++)**

**for(i=0;i<256;i++)**

**sum+=a[i][j];**

**return sum;**

**}**

**程序A:**

**int a[256][256];**

**……**

**int sum\_array1( )**

**{**

**int i,j,sum=0;**

**for(i=0;i<256;i++)**

**for(j=0;j<256;j++)**

**sum+=a[i][j];**

**return sum;**

**}**

**假设int 类型数据用32位补码表示，程序编译时i,j,sum均分配在寄存器中，数组a 按行优先方式存放，其首地址为320（十进制）。请回答下列问题，要求说明理由或计算工程。**

1. **若不考虑用于Cache一致性维护和替换算法的控制位，则数据Cache的总容量是多少字节？**
2. **数组元素a[0][31]和a[1][1]各自所在主存块对应的Cache行号是多少?(Cache 行号从0 开始)**
3. **程序A和程序B的数据访问命中率是多少？哪个程序执行时间短？**

**解答：**

**38**．**有如下C语言程序段：**

for(int k = 0; k < 1000; k++)

{

a[k] = a[k]+32;

}

**若数组a以及变量k均为int型，int型数据占4B，数据Cache采用直接映射方式，数据区大小是1KB，块大小是16B，该程序段执行前Cache为空，则该程序段执行过程中，访问数组a的Cache的缺失率？**

**解答：**

**39.假设某计算机按字编址，Cache 有 4 个行，Cache 和主存之间交换的块为 1 个字。若 Cache 的内容初始为空，采用 2 路组相联映射方式和 LRU 替换算法。当访问的主存地址依次为 0,4,8,2,0,6,8,6,4,8 时，计算命中 Cache 的次数？要求有示意图。**

**解答：**

**41.假定数组元素按行优先方式存储，M、N都是2048，按字节编址，每个数组元素占4个字节。对于下面的两个函数：**

**程序A： 程序B:**

int sumaaryrows (int a[M][N])

{

int i,j,sum=0;

for (j=0;j<N,j++)

for (i=0;i<M,i++)

sum+=a[i][j];

return sum;

}

int sumaaryrows (int a[M][N])

{

int i,j,sum=0;

for (i=0;i<M,i++)

for (j=0;i<N,j++)

sum+=a[i][j];

return sum;

}

1. **对于数组a的访问，哪个空间局部性更好？哪个时间局部性更好？**
2. **对于指令访问来说， for 循环体的空间局部性和时间局部性如何？**

**解答：**